

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 9月19日

出 願 番 号
Application Number:

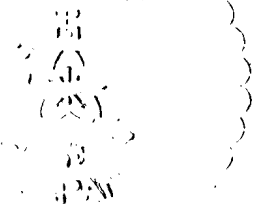
特願2002-274112

[ST.10/C]:

[JP2002-274112]

出 願 人
Applicant(s):

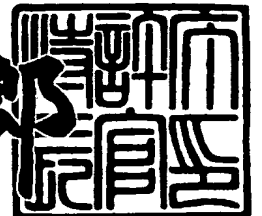
NEC化合物デバイス株式会社



2003年 7月 1日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3051801

【書類名】 特許願

【整理番号】 22610027

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H02J 1/00
H03H 11/04

【発明の名称】 定電流源回路及びこれを使用するアクティブフィルタ

【請求項の数】 11

【発明者】
【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 エヌイーシー化合物デバイス株式会社内

【氏名】 中村 良明

【特許出願人】
【識別番号】 302000346
【氏名又は名称】 エヌイーシー化合物デバイス株式会社

【代理人】
【識別番号】 100090158
【弁理士】
【氏名又は名称】 藤巻 正憲
【電話番号】 03-3433-4221

【手数料の表示】
【予納台帳番号】 009782
【納付金額】 21,000円

【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0209605

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 定電流源回路及びこれを使用するアクティブフィルタ

【特許請求の範囲】

【請求項 1】 半導体基板上に形成された抵抗を含む定電流源回路において、出力電流の大きさが前記抵抗の抵抗値に依存しない第 1 の電流源と、前記抵抗の抵抗値が高くなると出力電流が小さくなり前記抵抗値が低くなると出力抵抗が大きくなる第 2 の電流源と、を有し、前記第 1 の電流源の出力電流から前記第 2 の電流源の出力電流を減じた差電流を出力することを特徴とする定電流源回路。

【請求項 2】 前記第 2 の電流源が V B E 依存型定電流源であることを特徴とする請求項 1 に記載の定電流源回路。

【請求項 3】 前記第 2 の電流源が V c c 依存型定電流源であることを特徴とする請求項 1 に記載の定電流源回路。

【請求項 4】 前記第 2 の電流源がバンドギャップ型定電流源であることを特徴とする請求項 1 に記載の定電流源回路。

【請求項 5】 前記定電流源回路が、前記第 1 及び第 2 の電流源を駆動する駆動部を有し、この駆動部と前記第 1 の電流源との接続部分にカレントミラーが形成されていることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の定電流源回路。

【請求項 6】 半導体基板上に形成された抵抗を含み、出力電流の大きさが前記抵抗の抵抗値に依存しない第 1 の電流源及び前記抵抗の抵抗値が高くなると出力電流が小さくなり前記抵抗値が低くなると出力抵抗が大きくなる第 2 の電流源を備え、前記第 1 の電流源の出力電流から前記第 2 の電流源の出力電流を減じた差電流を出力する定電流源回路と、前記半導体基板上に形成され前記定電流源回路の出力電流が基準電流として入力されるアクティブフィルタ回路と、を有することを特徴とするアクティブフィルタ。

【請求項 7】 前記第 2 の電流源が V B E 依存型定電流源であることを特徴とする請求項 6 に記載のアクティブフィルタ。

【請求項 8】 前記第 2 の電流源が V c c 依存型定電流源であることを特徴とする請求項 6 に記載のアクティブフィルタ。

【請求項 9】 前記第 2 の電流源がバンドギャップ型定電流源であることを特徴とする請求項 6 に記載のアクティブフィルタ。

【請求項 10】 前記定電流源回路が、前記第 1 及び第 2 の電流源を駆動する駆動部を有し、この駆動部と前記第 1 の電流源との接続部分にカレントミラーが形成されていることを特徴とする請求項 6 乃至 9 のいずれか 1 項に記載の定電流源回路。

【請求項 11】 前記アクティブフィルタ回路がローパスフィルタ回路であることを特徴とする請求項 6 乃至 10 のいずれか 1 項に記載のアクティブフィルタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、アクティブフィルタに組み込むのに好適な定電流源回路及びこれを使用するアクティブフィルタに関し、特に、抵抗のばらつきによりアクティブフィルタの特性が変動することを抑制できる定電流源回路及びアクティブフィルタに関する。

【0002】

【従来の技術】

図 5 は従来のアクティブフィルタを示すブロック図である。図 5 に示すように、従来のアクティブフィルタ 101 においては、定電流源回路 102 及びアクティブフィルタ回路 103 が設けられている。定電流源回路 102 は、電源電位 V_{cc} が供給され、アクティブフィルタ回路 103 に基準電流 I_{out} を供給するものである。アクティブフィルタ回路 103 は定電流源回路 102 から基準電流 I_{out} が供給されて駆動するフィルタ回路である。なお、定電流源回路 102 は、 V_{cc} 依存型定電流源回路、 V_{BE} 依存型定電流源回路又はバンドギャップ型定電流源回路である。

【0003】

図 5 に示すアクティブフィルタにおいては、定電流源回路 102 に電源電位 V_{cc} が印加されて、基準電流 I_{out} を出力する。この基準電流 I_{out} はカレ

ントミラー回路（図示せず）で折り返してアクティブフィルタ回路 1 0 2 に供給される。そして、アクティブフィルタ回路 1 0 3 が駆動する。

【 0 0 0 4 】

しかしながら、この従来のアクティブフィルタ 1 0 1 においては、以下に示すような問題点がある。製造プロセスのばらつき又は温度ドリフト等により、アクティブフィルタ 1 0 1 内の抵抗の抵抗値が変動すると、アクティブフィルタ 1 0 1 の特性が変動するという問題点がある。即ち、抵抗の抵抗値が高くなる方向に変動すると、定電流源回路 1 0 2 内の抵抗値が高くなり、定電流源回路 1 0 2 が出力する基準電流 I_{out} が小さくなる。このとき、アクティブフィルタ回路 1 0 3 内の抵抗の抵抗値も高くなる。これにより、例えば、アクティブフィルタ 1 0 1 がローパスフィルタである場合、基準電流 I_{out} が小さくなることと、アクティブフィルタ回路 1 0 3 内の抵抗値が高くなることにより、カットオフ周波数が低周波数側に変動してしまう。逆に、抵抗値が低くなる方向に変動すると、基準電流 I_{out} が大きくなり、カットオフ周波数が高くなる。

【 0 0 0 5 】

従来、C m - G フィルタにおいて温度ドリフトによる特性の変動を抑えることを目的として、D C 電流源の他に温度補正用電流源を設け、D C 電流源の出力と温度補正用電流源の出力とを加算した電流を G m - C フィルタ回路の入力電流とする技術が開示されている（例えば、特許文献 1 参照。）。そして、温度ドリフトによるカットオフ周波数の変動を、G m - C フィルタ回路の入力電流を変化させることにより打ち消している。

【 0 0 0 6 】

しかしながら、特許文献 1 に記載の技術においては、温度補正用電流源からの出力電流の値を調整するために、温度ドリフト量を予測し、この予測に基づいて検量データを作成して、予め書き込んでおく必要がある。このため、この技術では、温度ドリフト量を精度よく予測できれば、特定のフィルタ回路の温度ドリフトを補正することはできるものの、他のフィルタ回路には使用することができず、汎用性がない。また、この特許文献 1 に記載の技術では、製造プロセスのばらつきによるアクティブフィルタの特性の変動を補償することができない。

【0007】

また、従来より、時定数自動調整回路において、ICの製造プロセスのばらつきによる誤差を検出して、このばらつきを打ち消すような制御電圧を出力するばらつき量検出回路を設ける技術が開示されている（例えば、特許文献2参照。）
。このようなばらつき量検出回路をアクティブフィルタに設けることにより、抵抗値のばらつきを補正し、アクティブフィルタの特性を一定に保つことも考えられる。

【0008】

【特許文献1】

特開平10-284989号公報

【特許文献2】

特開平7-321602号公報

【0009】

【発明が解決しようとする課題】

しかしながら、上述の従来技術には、以下に示すような問題点がある。特許文献2に記載された技術においては、ばらつき量検出回路をギルバート乗算回路等により構成する必要がある、回路の構成が大規模化し、回路面積が増大すると共にコストが増加する。

【0010】

本発明はかかる問題点に鑑みてなされたものであって、簡略な構成により抵抗値のばらつきを補償し、アクティブフィルタの特性を一定に保つことができる定電流源回路及びこの定電流源回路を使用するアクティブフィルタを提供することを目的とする。

【0011】

【課題を解決するための手段】

本発明に係る定電流源回路は、半導体基板上に形成された抵抗を含む定電流源回路において、出力電流の大きさが前記抵抗の抵抗値に依存しない第1の電流源と、前記抵抗の抵抗値が高くなると出力電流が小さくなり前記抵抗値が低くなると出力抵抗が大きくなる第2の電流源と、を有し、前記第1の電流源の出力電流

から前記第2の電流源の出力電流を減じた差電流を出力することを特徴とする。

【0012】

本発明においては、第1の電流源の出力電流から第2の電流源の出力電流を減じた差電流を出力することにより、半導体基板上に形成された抵抗の抵抗値が高くなったときに出力電流が大きくなり、この抵抗の抵抗値が低くなったときに出力電流が小さくなる定電流源回路を実現することができる。この定電流源回路をアクティブフィルタの基準電流源回路として使用すると、製造プロセスのばらつき又は温度ドリフト等により半導体基板上に形成された抵抗の抵抗値が変動しても、アクティブフィルタの特性の変動を抑制することができる。また、抵抗値の変動を補償するための特別な回路を設ける必要がないため、定電流源回路の構成が簡略であり、回路面積及びコストが増大することを抑制できる。

【0013】

本発明に係るアクティブフィルタは、半導体基板上に形成された抵抗を含み、出力電流の大きさが前記抵抗の抵抗値に依存しない第1の電流源及び前記抵抗の抵抗値が高くなると出力電流が小さくなり前記抵抗値が低くなると出力抵抗が大きくなる第2の電流源を備え、前記第1の電流源の出力電流から前記第2の電流源の出力電流を減じた差電流を出力する定電流源回路と、前記半導体基板上に形成され前記定電流源回路の出力電流が基準電流として入力されるアクティブフィルタ回路と、を有することを特徴とする。

【0014】

また、前記アクティブフィルタ回路はローパスフィルタ回路であってもよい。これにより、抵抗の抵抗値が変動しても、ローパスフィルタ回路のカットオフ値が変動することを抑制できる。

【0015】

【発明の実施の形態】

以下、本発明の実施形態について添付の図面を参照して具体的に説明する。先ず、本発明の第1の実施形態について説明する。図1は本実施形態に係るアクティブフィルタを示すブロック図であり、図2は図1に示す定電流源回路を示す回路図である。本実施形態に係るアクティブフィルタは、半導体基板（図示せず）

上に形成された1次Gm-Cローパスフィルタである。図1に示すように、本実施形態の1次Gm-Cローパスフィルタ（以下、フィルタ1という）においては、定電流源回路2及びフィルタ回路3が設けられている。定電流源回路2には、電流源4及び5が設けられており、電流源4及び5を駆動する駆動部6が設けられている。電流源5はVBE依存型電源である。そして、電流源4と電流源5とは直列に接続されており、電流源4及び5の接続部分に接続された出力端子T_{out}から基準電流I_{out}が出力されるようになっている。

【0016】

図2に示すように、定電流源回路2は、電源電位配線V_{cc}及び接地電位配線GNDに接続されている。そして、定電流源回路2の電流源4においては、電源電位配線V_{cc}に2個の抵抗R1及びR2が相互に並列に接続されている。抵抗R1及びR2における電源電位配線V_{cc}に接続されていない側の端部には、夫々pnpトランジスタPTr1及びPTr2のエミッタが接続されている。pnpトランジスタPTr1及びPTr2のコレクタは定電流回路2の出力端子T_{out1}に接続されている。

【0017】

また、電流源5においては、電源電位配線V_{cc}から接地電位配線GNDまでの間に、抵抗R3、pnpトランジスタPTr3、npnトランジスタNTr1及び抵抗R4が、電源電位配線V_{cc}からこの順に直列に接続されている。そして、pnpトランジスタPTr3のエミッタは抵抗R3に接続されており、コレクタはnpnトランジスタNTr1のコレクタに接続されており、npnトランジスタNTr1のエミッタは抵抗R4に接続されている。一方、出力端子T_{out1}から接地電位配線GNDまでの間に、npnトランジスタNTr2及び抵抗R5が、電源電位配線V_{cc}からこの順に直列に接続されている。そして、npnトランジスタNTr2のコレクタは出力端子T_{out1}に接続されており、エミッタは抵抗R5に接続されている。そして、pnpトランジスタPTr3とnpnトランジスタNTr1との間のノードN1がnpnトランジスタNTr2のベースに接続されており、npnトランジスタNTr2と抵抗R5との間のノードN2がnpnトランジスタNTr1のベースに接続されている。

【0018】

更に、駆動部6においては、電源電位配線Vccに2個の抵抗R6及びR7が相互に並列に接続されている。抵抗R6及びR7における電源電位配線Vccに接続されていない側の端部には、夫々pnpトランジスタPT_r4及びPT_r5のエミッタが接続されている。pnpトランジスタPT_r4及びPT_r5のベースは相互に接続され、電流源4のpnpトランジスタPT_r1及びPT_r2のベース、及び電流源5のpnpトランジスタPT_r3のベースに接続されている。また、駆動部6には、pnpトランジスタPT_r6、電源P1及び抵抗R8が設けられており、pnpトランジスタPT_r4及びPT_r5のコレクタはpnpトランジスタPT_r6のベース及び電源P1の負端子に接続されており、pnpトランジスタPT_r6のエミッタはpnpトランジスタPT_r4及びPT_r5のベースに接続されており、pnpトランジスタPT_r6のコレクタは抵抗R8に接続されており、抵抗R8におけるpnpトランジスタPT_r6のコレクタに接続されていない側の端部及び電源P1の正端子は接地電位配線GNDに接続されている。

【0019】

なお、電源P1は出力電流が抵抗のばらつきの影響を受けない電源であり、定電流Iを出力するものである。電源P1は例えば、フィルタ1の内部に形成された抵抗を含まずに、外付けの抵抗を使用した電源である。また、pnpトランジスタPT_r1乃至PT_r5により、カレントミラーが形成されている。

【0020】

図1に示すように、フィルタ回路3には、電源P2及びP3が設けられている。電源P2及びP3の負端子は電源電位配線Vccに接続されており、電源P2及びP3の正端子は夫々ノードN3及びN4となっており、ノードN3とノードN4との間には容量Cが接続されている。また、ノードN3及びN4には夫々フィルタ回路3の出力端子T_{out}2及びT_{out}3が接続されている。更に、npnトランジスタNT_r3及びNT_r4が設けられており、npnトランジスタNT_r3及びNT_r4のコレクタは夫々ノードN3及びN4に接続されており、ベースは夫々フィルタ回路3の入力端子T_{in}2及びT_{in}3に接続されており

、エミッタは夫々ノードN 5 及びN 6 に接続されている。ノードN 5 とノードN 6 との間には抵抗R 9 が接続されている。

【 0 0 2 1 】

また、フィルタ回路3 には、npn トランジスタNTr 5 及びNTr 6 が設けられており、npn トランジスタNTr 5 及びNTr 6 のコレクタは夫々ノードN 5 及びN 6 に接続されており、ベースはノードN 7 において相互に接続されており、この接続点であるノードN 7 に定電流源回路2 から出力された基準電流 I_{out} が入力されるようになっている。また、npn トランジスタNTr 5 及びNTr 6 のエミッタには夫々抵抗R 1 0 及びR 1 1 が接続されており、抵抗R 1 0 及びR 1 1 におけるnpn トランジスタNTr 5 及びNTr 6 のエミッタに接続されていない側の端部は接地電位配線GND に接続されている。

【 0 0 2 2 】

次に、本実施形態に係るフィルタ1 の動作について説明する。図1 及び図2 に示すように、電源電位配線Vcc に電源電位が印加され、接地電位配線GND に接地電位が印加されると、定電流源回路2 の電源P 1 が一定電流I を流す。これにより、pnp トランジスタPTr 1 乃至PTr 5 からなるカレントミラーにより、（電源電位配線Vcc - 抵抗R 1 及びR 2 - pnp トランジスタPTr 1 及びPTr 2 - 出力端子Tout 1）からなる経路に電流I が流れる。また、（電源電位配線Vcc - 抵抗R 3 - pnp トランジスタPTr 3 - ノードN 1 - npn トランジスタNTr 1 - 抵抗R 4 - 接地電位配線GND）からなる経路に電流 $(I/2)$ が流れる。このとき、（出力端子Tout 1 - npn トランジスタNTr 2 - ノードN 2 - 抵抗R 5 - 接地電位配線GND）からなる経路を流れる電流 I_1 は、ノードN 2 における電位を V_{N2} 、抵抗R 5 の抵抗値を R_5 とすると、下記数式1 により与えられる。また、電位 V_{N2} は、npn トランジスタNTr 1 におけるベース・エミッタ間の電圧を V_{BE} 、抵抗R 4 の抵抗値を R_4 とすると、下記数式2 により与えられる。そして、下記数式1 及び2 により、下記数式3 が導かれる。

【 0 0 2 3 】

【数1】

$$I_1 = \frac{V_{N2}}{R_5}$$

【0024】

【数2】

$$V_{N2} = V_{BE} + \frac{1}{2} I \times R_4$$

【0025】

【数3】

$$I_1 = \frac{V_{BE} + \frac{1}{2} I \times R_4}{R_5}$$

【0026】

出力端子T_{out}から出力される基準電流I_{out}は、電流Iと電流I₁との差になるため、下記数式4により与えられる。

【0027】

【数4】

$$I_{out} = I - I_1 = I - \frac{V_{BE} + \frac{1}{2} I \times R_4}{R_5}$$

【0028】

そして、基準電流I_{out}がフィルタ回路3のノードN7に入力されると、npnトランジスタNTr5及びNTr6がオンとなる。この状態で、入力端子Tin2及びTin3に相補の信号が入力されると、npnトランジスタNTr3又はNTr4がオンとなり、（電源電位配線Vcc－電源P2－ノードN3－npnトランジスタNTr3－ノードN5－npnトランジスタNTr5－抵抗R10）からなる電流経路、又は（電源電位配線Vcc－電源P3－ノードN4－npnトランジスタNTr4－ノードN6－npnトランジスタNTr6－抵抗

R 1 1) からなる電流経路に電流が流れ、出力端子 T o u t 2 及び T o u t 3 から相補の信号が出力される。

【 0 0 2 9 】

このとき、入力される信号が低周波信号であると、容量 C は高インピーダンスとなり、その存在を無視することができる。即ち、容量 C はオープン状態と等価となり、出力端子 T o u t 2 及び T o u t 3 から信号が出力される。一方、入力される信号が高周波信号であると、容量 C は導通状態と等価になり、出力端子 T o u t 2 及び T o u t 3 から信号が出力されなくなる。この結果、フィルタ 1 はローパスフィルタとして機能する。このとき、容量 C の容量を C、抵抗 R 9 の抵抗値を R、電源電位配線 V c c と接地電位配線 G N D との間の電位差を V_{c c}、フィルタ回路 3 のカットオフ周波数を f c とすると、カットオフ周波数 f c は下記数式 5 及び 6 により与えられる。

【 0 0 3 0 】

【数 5】

$$f_c = \frac{1}{2\pi \times \sqrt{C \times \frac{1}{gm}}}$$

【 0 0 3 1 】

【数 6】

$$gm = \frac{1}{R + \frac{2 \times V_{cc}}{I_{out}}}$$

【 0 0 3 2 】

次に、フィルタ 1 における各抵抗の抵抗値が、製造プロセスのばらつき又は温度ドリフト等の原因により変動した場合について説明する。フィルタ 1 が形成されている半導体基板上に形成された各抵抗の抵抗値が一様に高くなる方向に変動すると、上記数式 3 に示すように、電流源 5 を流れる電流 I₁ は小さくなる。このとき、電源 P 1 はフィルタ 1 内に形成された抵抗を持たないため、電流 I はほぼ不変である。このため、上記数式 4 より、定電流源回路 2 から出力される基準

電流 I_{out} は大きくなる。一方、フィルタ回路 3 内の抵抗 R_9 の抵抗値 R も、他の抵抗と同様に高くなる方向に変動する。そうすると、上記数式 6 より、値 g_m に及ぼす基準電流 I_{out} の影響と R の影響とが相殺され、値 g_m はほぼ一定に保たれる。この結果、抵抗値 R 及び基準電流 I_{out} の値を適当に設定すれば、上記数式 5 より、カットオフ周波数 f_c が一定に保たれる。なお、各抵抗の抵抗値が一様に低くなる方向に変動すると、電流 I_1 は大きくなり、基準電流 I_{out} は小さくなる。このとき、抵抗 9 の抵抗値 R は小さくなるため、値 g_m 及びカットオフ周波数 f_c が一定に保たれる。このように、抵抗値が高低いずれの方向に変動しても、フィルタ 1 のカットオフ周波数 f_c は一定に保たれる。

【 0 0 3 3 】

このように本実施形態においては、定電流源回路 2 が、抵抗値の変動によらない一定電流 I と、抵抗値が高く変動すると小さくなり抵抗値が低く変動すると大きくなる電流 I_1 との差を基準電流 I_{out} として出力する。これにより、定電流源回路 2 は、製造プロセスのばらつきにより抵抗値が高くなる方向に変動したときに基準電流 I_{out} を大きくし、抵抗値が低くなる方向に変動したときに基準電流 I_{out} を小さくすることができる。このため、この定電流源回路 2 をフィルタ 1 の電源として使用すると、製造プロセスのばらつき又は温度ドリフト等により抵抗値が変動しても、カットオフ周波数 f_c の変動を抑制することができる。

【 0 0 3 4 】

また、本実施形態においては、定電流源回路において抵抗値のばらつきを補償するための特別な回路を設ける必要がなく、定電流源回路の回路面積及びコストが増大することを抑制できる。これにより、抵抗値のばらつきを補償できるフィルタを簡略な構成により実現できる。

【 0 0 3 5 】

更に、抵抗値 R 及び基準電流 I_{out} の値を適当に設定することにより、自動的にカットオフ周波数 f_c の変動が抑制できるため、予め検量データを作成する必要がない。このため、本実施形態の定電流源回路 2 は、種々のフィルタ回路に対して使用することができ、汎用性が高い。

【 0 0 3 6 】

なお、本実施形態においては、上述の如く、電流源 4 において、2 個の p n p トランジスタ P T r 1 及び P T r 2 を相互に並列に接続し、電流源 5 において 1 個の p n p トランジスタ P T r 3 を設け、駆動部 6 において 2 個の p n p トランジスタ P T r 4 及び P T r 5 を相互に並列に接続しているため、（電源電位配線 V c c - 抵抗 R 1 及び R 2 - p n p トランジスタ P T r 1 及び P T r 2 - 出力端子 T o u t 1）からなる経路を流れる電流と、（電源電位配線 V c c - 抵抗 R 3 - p n p トランジスタ P T r 3 - ノード N 1 - n p n トランジスタ N T r 1 - 抵抗 R 4 - 接地電位配線 G N D）からなる経路を流れる電流との比は、（2 : 1）になる。しかしながら、本発明はこれに限定されず、M 及び N を任意の整数値とすると、電流源 4 及び駆動部 6 において夫々 M 個のトランジスタを並列に接続し、電流源 5 において N 個のトランジスタを並列に接続してもよい。この場合、前記比は（M : N）になる。このとき、基準電流 I_{out} は下記数式 7 により与えられる。

【 0 0 3 7 】

【数 7】

$$I_{out} = I - I_1 = I - \frac{V_{BE} + \frac{N}{M} \times I \times R_4}{R_5}$$

【 0 0 3 8 】

次に、本発明の第 2 の実施形態について説明する。図 3 は本実施形態における定電流源回路を示す回路図である。図 3 に示すように、本実施形態においては、定電流源回路において、前述の第 1 の実施形態における電流源 5 の代わりに、V c c 依存型定電流源である電流源 7 が設けられている。本実施形態における上記以外の構成は前述の第 1 の実施形態と同様である。

【 0 0 3 9 】

電流源 7 においては、電源電位配線 V c c と接地電位配線 G N D との間に、抵抗 R 1 2 及び抵抗 R 1 3 が電源電位配線 V c c からこの順に直列に設けられている。また、n p n トランジスタ N T r 7 が設けられており、n p n トランジスタ

N T r 7 のコレクタは出力端子 T o u t 1 に接続されており、ベースは抵抗 R 1 2 と R 1 3 との接続点であるノード N 7 に接続されており、エミッタと接地電位配線 G N D との間には抵抗 R 1 4 が設けられている。

【 0 0 4 0 】

次に、本実施形態における定電流源回路の動作について説明する。電源電位配線 V c c に電源電位が印加され、接地電位配線 G N D に接地電位が印加されると、ノード N 7 の電位 V_{N7} が下記数式 8 に示す値となる。なお、下記数式 8 乃至 1 0 において、抵抗 R 1 2 乃至 R 1 4 の抵抗値を夫々 R_{12} 乃至 R_{14} 、電源電位を V_{cc} 、npn トランジスタ N T r 7 のベース・エミッタ間の電圧を V_{BE} とする。また、（出力端子 T o u t 1 - npn トランジスタ N T r 7 - 抵抗 R 1 4 - 接地電位配線 G N D）からなる経路を流れる電流 I_2 は、下記数式 9 により与えられる。この結果、出力端子 T o u t 1 から出力される基準電流 I_{out} は、下記数式 1 0 で表される。

【 0 0 4 1 】

【数 8】

$$V_{N7} = \frac{R_{13}}{R_{12} + R_{13}} \times V_{cc}$$

【 0 0 4 2 】

【数 9】

$$I_2 = \frac{V_{N7} - V_{BE}}{R_{14}} = \frac{R_{13} \times V_{cc}}{(R_{12} + R_{13}) \times R_{14}} - \frac{V_{BE}}{R_{14}}$$

【 0 0 4 3 】

【数 1 0】

$$I_{out} = I - I_2 = I - \left\{ \frac{R_{13} \times V_{cc}}{(R_{12} + R_{13}) \times R_{14}} - \frac{V_{BE}}{R_{14}} \right\}$$

【 0 0 4 4 】

上記数式 9 及び 1 0 より、各抵抗の抵抗値が高くなる方向に変動すると、電流

I_2 は小さくなり、基準電流 I_{out} は大きくなる。また、各抵抗の抵抗値が低くなる方向に変動すると、電流 I_2 は大きくなり、基準電流 I_{out} は小さくなる。この結果、前述の第 1 の実施形態と同様の原理により、抵抗の抵抗値が変動しても、フィルタ回路 3 のカットオフ周波数 f_c は一定に維持される。本実施形態における上記以外の動作及び効果は、前述の第 1 の実施形態と同様である。

【 0 0 4 5 】

次に、本発明の第 3 の実施形態について説明する。図 4 は本実施形態における定電流源回路を示す回路図である。図 4 に示すように、本実施形態においては、定電流源回路において、前述の第 1 の実施形態における電流源 5 の代わりに、バンドギャップ型定電流源である電流源 8 が設けられている。本実施形態における上記以外の構成は前述の第 1 の実施形態と同様である。

【 0 0 4 6 】

電流源 8 においては、電源電位配線 V_{cc} と接地電位配線 GND との間に、抵抗 R_{15} 、 pnp トランジスタ PT_{r7} 、5 個の nnp トランジスタが並列に接続されたトランジスタ群 G 、抵抗 R_{16} 及び抵抗 R_{17} が電源電位配線 V_{cc} からこの順に直列に接続されている。そして、 pnp トランジスタ PT_{r7} のエミッタは抵抗 R_{15} に接続されており、ベースは駆動部 6 の pnp トランジスタ PT_{r4} 及び PT_{r5} のベースに接続されており、コレクタはトランジスタ群 G を構成する各トランジスタのコレクタに接続されている。また、トランジスタ群 G を構成する各トランジスタのベースはノード N_9 に接続されており、エミッタは抵抗 R_{16} に接続されている。更に、抵抗 R_{16} と抵抗 R_{17} との間がノード N_8 となっている。

【 0 0 4 7 】

また、電源電位配線 V_{cc} とノード N_8 との間には、抵抗 R_{18} 、 pnp トランジスタ PT_{r8} 、 nnp トランジスタ NT_{r8} が電源電位配線 V_{cc} からこの順に直列に接続されている。 pnp トランジスタ PT_{r8} のエミッタは抵抗 R_{18} に接続されており、ベースは駆動部 6 の pnp トランジスタ PT_{r4} 及び PT_{r5} のベースに接続されており、コレクタは nnp トランジスタ NT_{r8} のコレクタ及びノード N_9 に接続されている。 nnp トランジスタ NT_{r8} のベースは

ノードN9に接続されており、エミッタはノードN8に接続されている。

【0048】

また、出力端子T o u t 1と接地電位配線GNDとの間には、npnトランジスタNTr9及び抵抗R19が直列に接続されている。npnトランジスタNTr9のコレクタは出力端子T o u t 1に接続されており、ベースはnpnトランジスタNTr8のベースに接続されており、エミッタは抵抗R19の一端に接続されており、抵抗R19の他端は接地電位配線GNDに接続されている。そして、pnpトランジスタPTr1、PTr2、PTr4、PTr5、PTr7及びPTr8により、カレントミラーが形成されている。

【0049】

次に、本実施形態における定電流源回路の動作について説明する。電源電位配線Vccに電源電位が印加され、接地電位配線GNDに接地電位が印加されると、駆動部6において、（電源電位配線Vcc－抵抗R6及びR7－pnpトランジスタPTr4及びPTr5－電源P1－接地電位配線GND）からなる電流経路に、電源P1により電流Iが流れる。そして、カレントミラーの効果により、（電源電位配線Vcc－抵抗R15－pnpトランジスタPTr7－トランジスタ群G－抵抗R16－ノードN8）からなる経路には（ $I/2$ ）の電流が流れ、（電源電位配線Vcc－抵抗R18－pnpトランジスタPTr8－npnトランジスタNTr8－ノードN8）からなる経路には（ $I/2$ ）の電流が流れ、（ノードN8－抵抗R17－接地電位配線GND）からなる経路には電流Iが流れる。

【0050】

抵抗R16及びR17の抵抗値を夫々 R_{16} 及び R_{17} 、ノードN8の電位を V_{N8} 、ノードN9の電位を V_{N9} 、npnトランジスタNTr8のベース・エミッタ間電位を V_{BE} 、トランジスタ群Gのベース・エミッタ間電位を V_{GBE} とすると、電位 V_{N8} 及び V_{N9} は夫々下記数式11及び12により与えられる。また、電位 V_{GBE} は下記数式13及び14により与えられる。なお、数式14において、 k はボルツマン定数、 T は絶対温度、 q は電子の電荷である。

【0051】

【数 1 1】

$$V_{N8} = I \times R_{17}$$

【0052】

【数 1 2】

$$V_{N9} = V_{N8} + V_{BE} = V_{N8} + \frac{I \times R_{16}}{2} + V_{GBE}$$

【0053】

【数 1 3】

$$V_{GBE} = V_{BE} - V_T \times \ln(5)$$

【0054】

【数 1 4】

$$V_T = \frac{k \times T}{q}$$

【0055】

前記数式 1 1 乃至 1 4 より、下記数式 1 5 及び 1 6 が成立する。

【0056】

【数 1 5】

$$V_{N8} = \{2 \times V_T \times \ln(5)\} \times \frac{R_{17}}{R_{16}}$$

【0057】

【数 1 6】

$$V_{N9} = V_{BE} + \{2 \times V_T \times \ln(5)\} \times \frac{R_{17}}{R_{16}}$$

【0058】

上記数式 1 6 において、右辺の第 1 項、即ち V_{BE} は負の温度依存性を示し、

右辺の第2項、即ち $\{2 \times V_T \times \ln(5)\}$ は正の温度依存性を示す。このため、右辺の第1項の温度依存性と第2項の温度依存性が相殺し、電位 V_{N9} は温度によらず一定となる。この結果、抵抗 R_{19} の抵抗値を R_{19} 、npnトランジスタ $NTr9$ のベース・エミッタ間電圧を V_{BE} とすると、(出力端子 $Tout$ - npnトランジスタ $NTr9$ - 抵抗 R_{19} - 接地電位配線 GND) からなる経路を流れる電流 I_3 は下記数式17により与えられ、出力端子 $Tout$ から出力される基準電流 I_{out} は下記数式18により与えられる。

【0059】

【数17】

$$I_3 = \frac{V_{N9} - V_{BE}}{R_{19}}$$

【0060】

【数18】

$$I_{out} = I - I_3 = I - \frac{V_{N9} - V_{BE}}{R_{19}}$$

【0061】

上記数式17及び18より、半導体基板上に形成された各抵抗の抵抗値が高くなる方向に変動すると、電流 I_3 は小さくなり、基準電流 I_{out} は大きくなる。また、各抵抗の抵抗値が低くなる方向に変動すると、電流 I_3 は大きくなり、基準電流 I_{out} は小さくなる。この結果、前述の第1の実施形態と同様の原理により、抵抗の抵抗値が変動しても、フィルタ回路3のカットオフ周波数 f_c は一定に維持される。本実施形態における上記以外の動作及び効果は、前述の第1の実施形態と同様である。

【0062】

なお、本実施形態においては、トランジスタ群 G が5個のnpnトランジスタにより構成されている例を示したが、トランジスタ群 G は4個以下又は6個以上のトランジスタにより構成されていてもよい。トランジスタ群が n 個のトランジ

スタが並列に接続されて構成されている場合、トランジスタ群Gのベース・エミッタ間電圧 V_{GEB} 、ノードN8の電位 V_{N8} 及びノードN9の電位 V_{N9} は、夫々下記数式19乃至21により与えられる。

【0063】

【数19】

$$V_{GEB} = V_{BE} - V_T \times \ln(n)$$

【0064】

【数20】

$$V_{N8} = \{2 \times V_T \times \ln(n)\} \times \frac{R_{17}}{R_{16}}$$

【0065】

【数21】

$$V_{N9} = V_{BE} + \{2 \times V_T \times \ln(n)\} \times \frac{R_{17}}{R_{16}}$$

【0066】

また、上述の第1乃至第3の実施形態においては、アクティブフィルタとして1次Gm-Cローパスフィルタの例を示したが、本発明はこれに限定されず、抵抗値の変動によって特性が変動するアクティブフィルタであればよく、例えば、ハイパスフィルタであってもよく、バンドイリミネーションフィルタ又はバンドパスフィルタであってもよい。

【0067】

【発明の効果】

以上詳述したように、本発明によれば、定電流源回路に、出力電流の大きさが半導体基板上に形成された抵抗の抵抗値に依存しない第1の電流源と、抵抗の抵抗値が高くなると出力電流が小さくなり抵抗値が低くなると出力電流が大きくなる第2の電流源とを設け、第1の電流源の出力電流から第2の電流源の出力電流

を減じた差電流を出力させることにより、抵抗の抵抗値が高くなったときに出力電流が大きくなり、この抵抗の抵抗値が低くなったときに出力電流が小さくなる定電流源回路を得ることができる。この定電流源回路をアクティブフィルタの基準電流源回路として使用すると、製造プロセスのばらつき又は温度ドリフト等により抵抗値が変動しても、アクティブフィルタの特性の変動を抑制することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係るアクティブフィルタを示すブロック図である。

【図 2】

図 1 に示す定電流源回路を示す回路図である。

【図 3】

本発明の第 2 の実施形態における定電流源回路を示す回路図である。

【図 4】

本発明の第 3 の実施形態における定電流源回路を示す回路図である。

【図 5】

従来のアクティブフィルタを示すブロック図である。

【符号の説明】

1 ; フィルタ

2 ; 定電流源回路

3 ; フィルタ回路

4、5、7、8 ; 電流源

6 ; 駆動部

1 0 1 ; アクティブフィルタ

1 0 2 ; 定電流源回路

1 0 3 ; アクティブフィルタ回路

C ; 容量

G ; トランジスタ群

G N D : 接地電位配線

V_{cc} ; 電源電位配線

I_{out} ; 基準電流

$N1 \sim N9$; ノード

$NTr1 \sim NTr9$; npn トランジスタ

$PTr1 \sim PTr8$; pnp トランジスタ

$P1, P2, P3$; 電源

$R1$ 乃至 $R19$; 抵抗

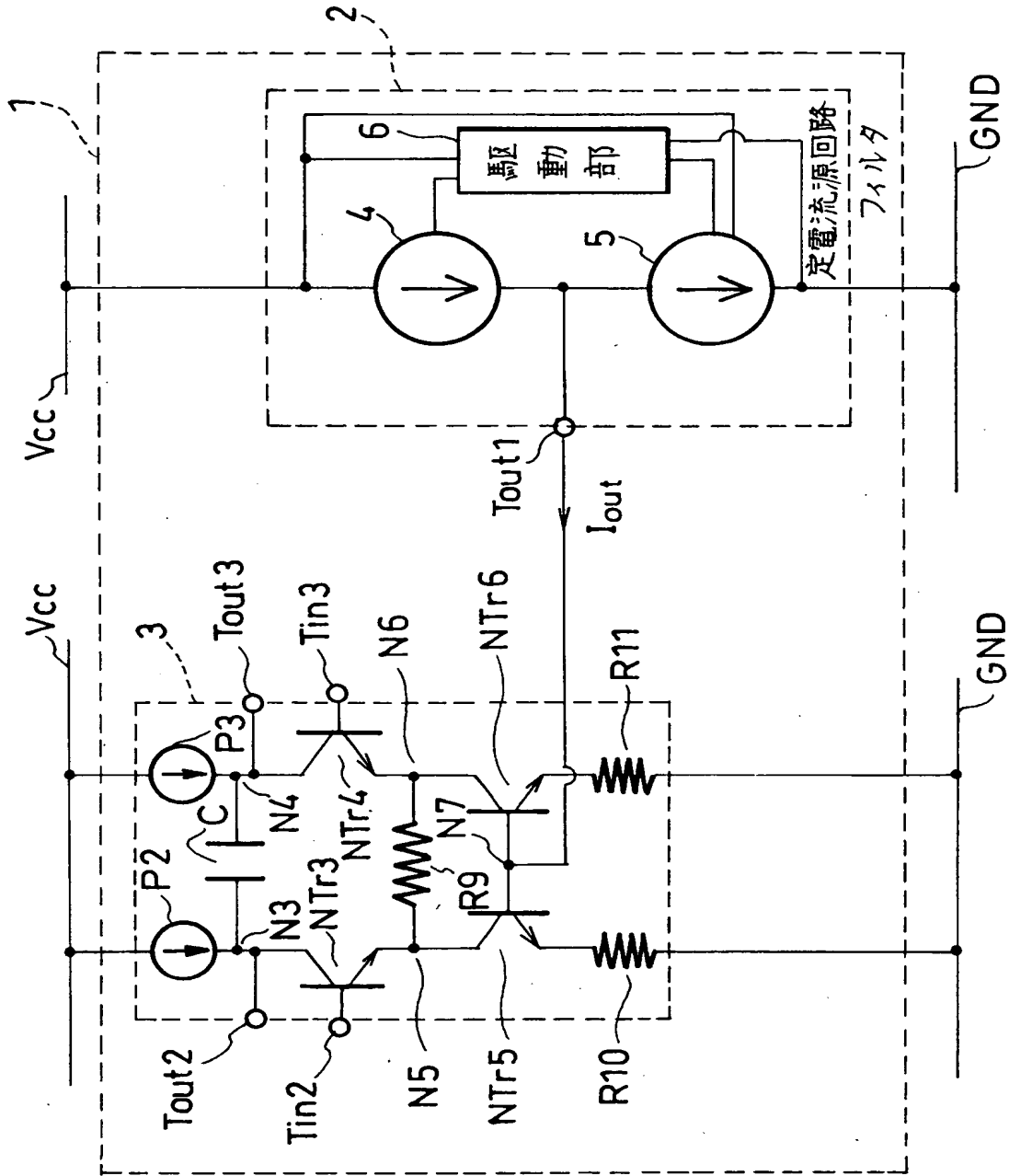
$Tin2, Tin3$; 入力端子

$Tout1 \sim Tout3$; 出力端子

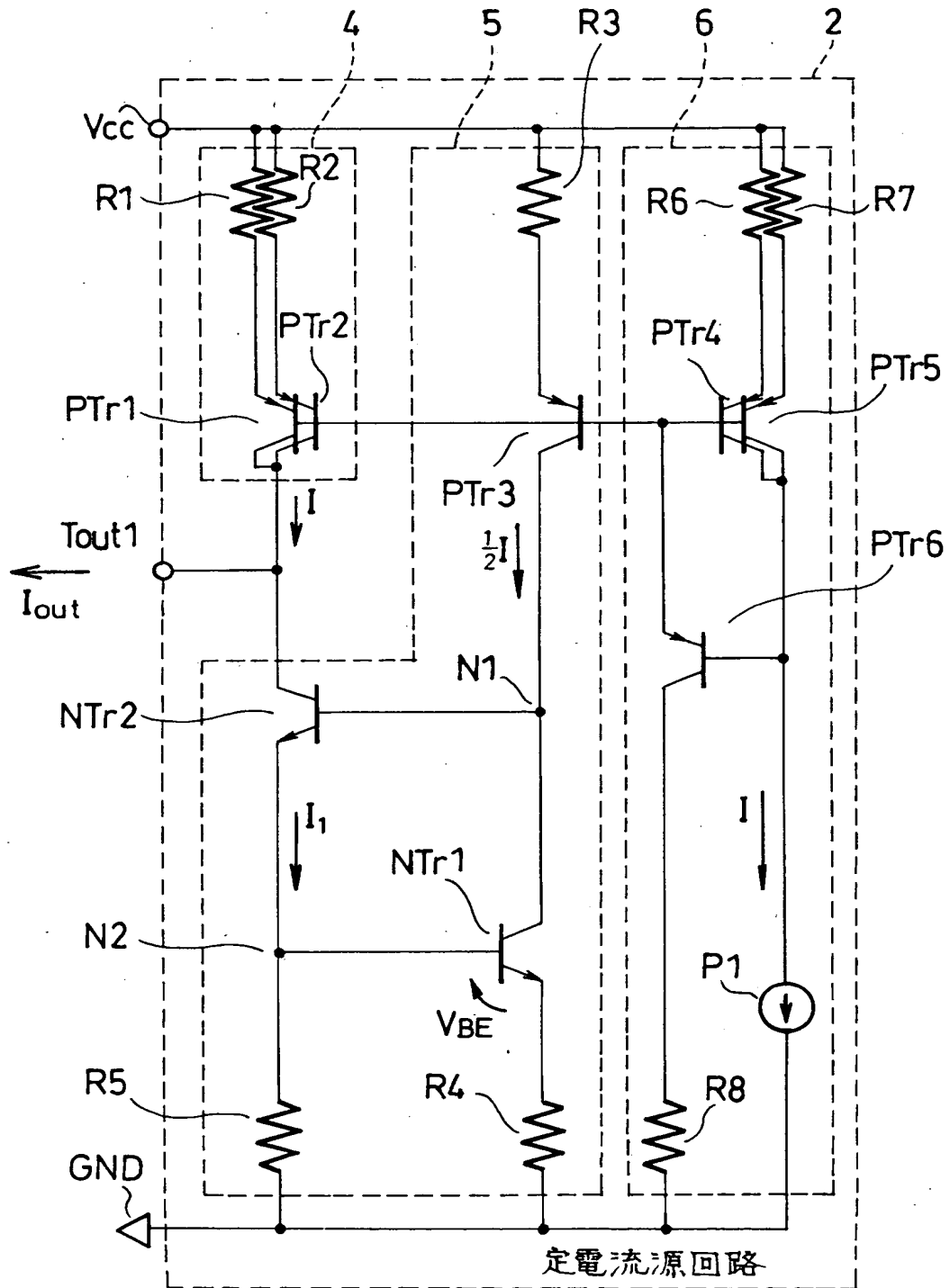
【書類名】

図面

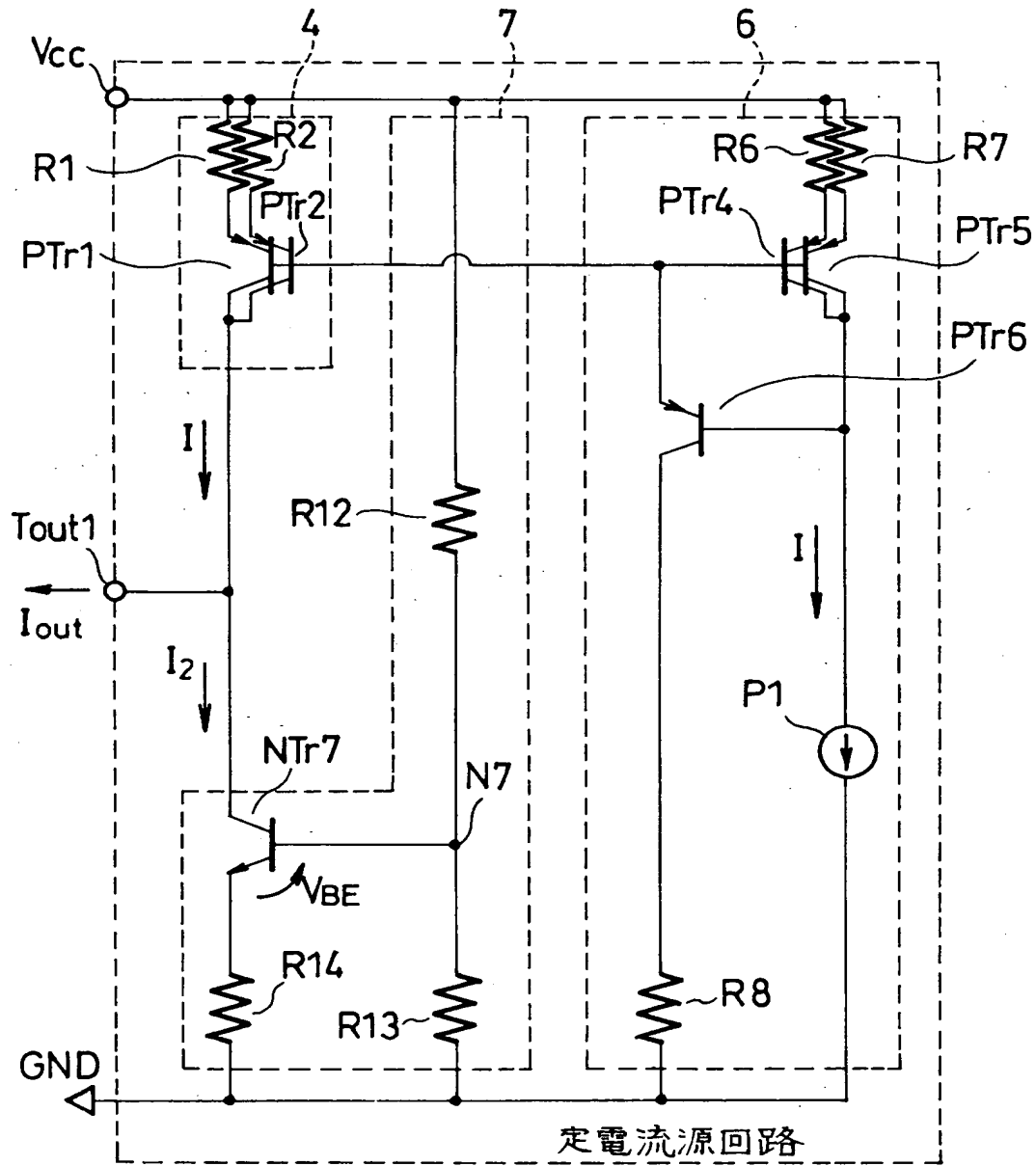
【図1】



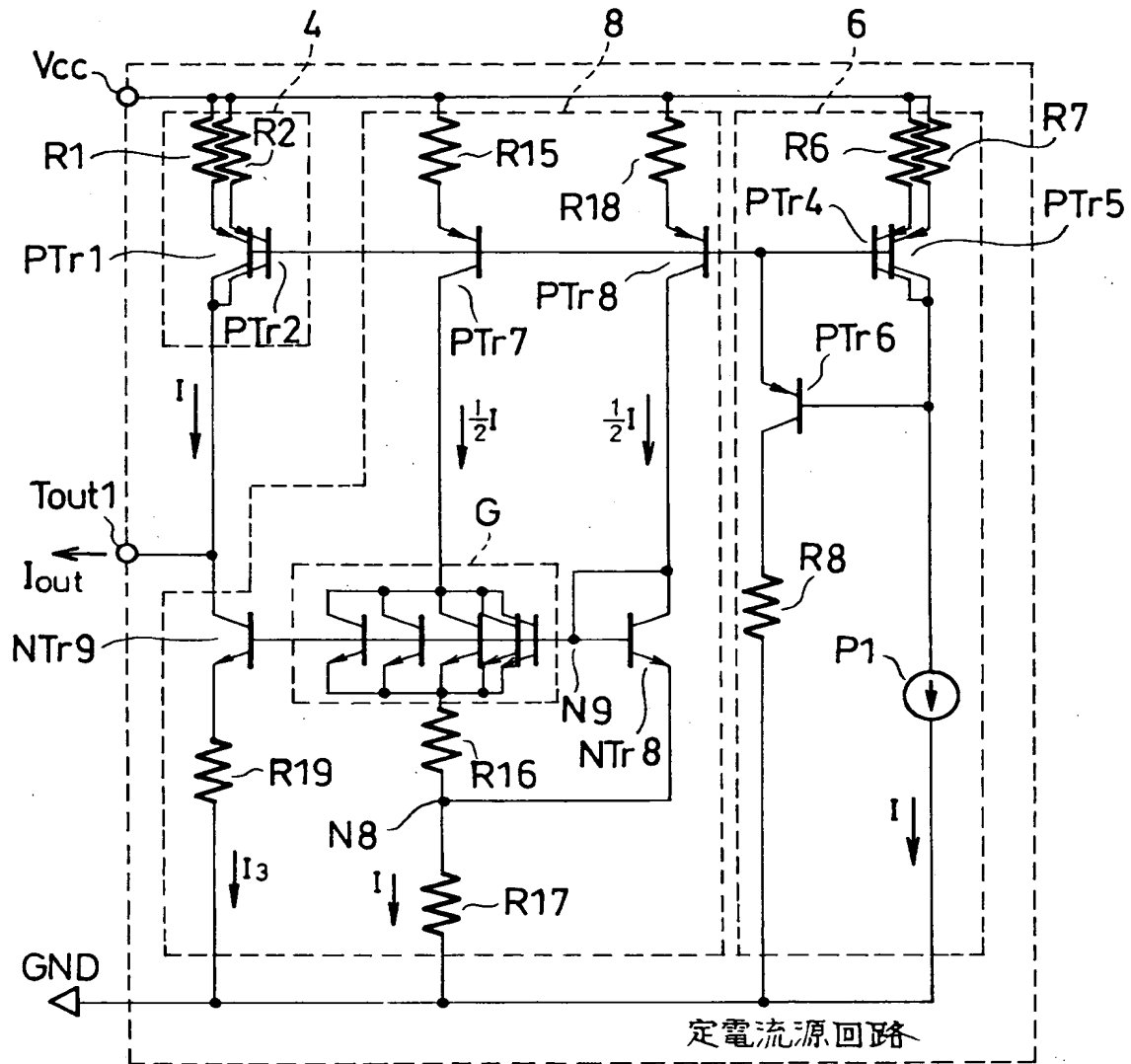
【図2】



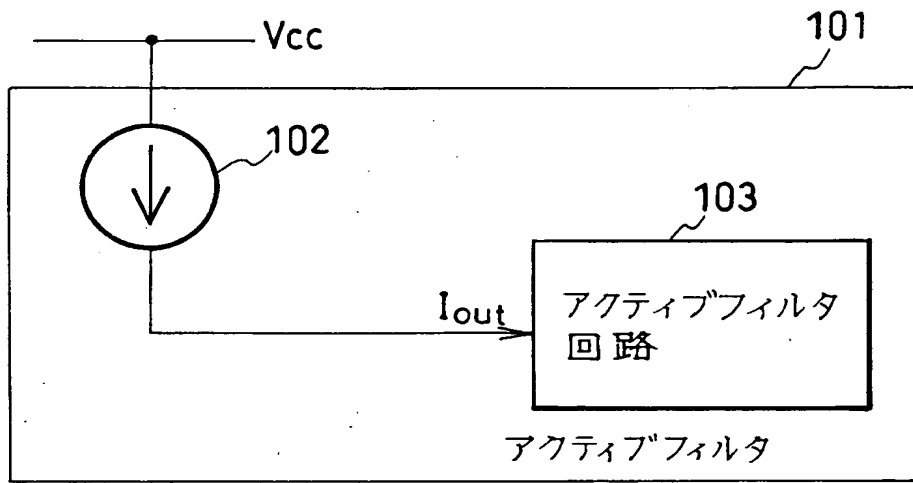
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 簡略な構成により抵抗値のばらつきを補償し、アクティブフィルタの特性を一定に保つことができる定電流源回路及びこの定電流源回路を使用するアクティブフィルタを提供する。

【解決手段】 半導体基板上に形成された 1 次 G_m -C ローパスフィルタであるフィルタ 1 に定電流源回路 2 及びフィルタ回路 3 を設け、定電流源回路 2 には、電流源 4 及び 5、並びに電流源 4 及び 5 を駆動する駆動部 6 を設ける。電流源 4 は半導体基板上に形成された抵抗の抵抗値が変動しても出力電流の大きさが変動しない電流源とする。電流源 5 は V_{BE} 依存型電源であり、抵抗の抵抗値が変動して高くなると出力電流が小さくなり、抵抗値が低くなると出力電流が大きくなる。そして、出力端子 T_{out} から、電流源 4 の出力電流から電流源 5 の出力電流を減じた差電流 I_{out} を出力する。この電流 I_{out} をフィルタ回路 3 に基準電流として入力する。

【選択図】 図 1

特 2002-274112

認定・付加情報

特許出願の番号	特願 2002-274112
受付番号	50201406556
書類名	特許願
担当官	第七担当上席 0096
作成日	平成14年 9月20日

<認定情報・付加情報>

【提出日】	平成14年 9月19日
-------	-------------

次頁無

出 願 人 履 歴 情 報

識別番号 [302000346]

1. 変更年月日 2001年12月25日
[変更理由] 新規登録
住 所 神奈川県川崎市中原区下沼部1753
氏 名 エヌイーシー化合物デバイス株式会社
2. 変更年月日 2002年12月25日
[変更理由] 名称変更
住 所 神奈川県川崎市中原区下沼部1753
氏 名 NEC化合物デバイス株式会社